

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-190509

(43)Date of publication of application : 23.07.1996

(51)Int.Cl.

G06F 12/14

(21)Application number : 07-197328

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 02.08.1995

(72)Inventor : HOSOKAWA HIROHISA

(30)Priority

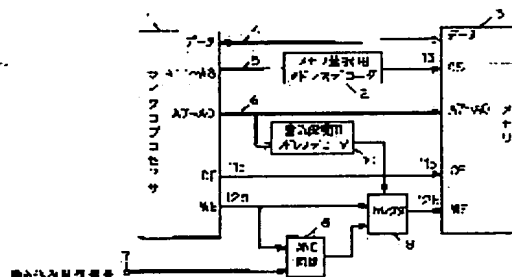
Priority number : 06273661 Priority date : 08.11.1994 Priority country : JP

### (54) STORAGE

#### (57)Abstract:

PURPOSE: To provide a storage which performs the write protection to prevent the data from being easily rewritten to a fixed area.

CONSTITUTION: When the addresses A11 to A0 outputted from an MPU 1 are equal to 300 to 3FF, a CS signal 13 sent to a memory 3 from a memory selection address decoder 2 is valid and can be written in the memory 3. If the addresses are written in the areas 3F0 to 3FF under such conditions, a write protection address decoder 10 is validated and a selector 9 supplies the output of an AND circuit 8 to the memory 3 as WE signal 12b. If a write control signal 7 is valid under such conditions, a WE signal 12a outputted from the MPU 1 is not masked by the circuit 8 and can be written in the memory 3.



(11)特許出願公開番号

## 【特許請求の範囲】

【請求項1】 読み出し書き込みが可能な記憶手段と、前記記憶手段の記憶領域の一部を保護領域と指定する保護領域指定手段と、前記保護領域指定手段により指定された前記記憶手段の保護領域のアドレスを出力するアドレス信号発生手段と、前記記憶手段への書き込みを指令する書き込みイネーブル信号を発生する書き込みイネーブル信号発生手段と、前記記憶手段の保護領域への書き込みを指令する書き込み制御信号を発生する制御信号発生手段と、前記書き込みイネーブル信号と書き込み制御信号のいずれもが存在することを検出する制御信号検出手段と、前記制御信号検出手段の出力に応じて、前記アドレス信号発生手段より出力されたアドレス信号に基づいて前記記憶手段の保護領域への書き込み制御する制御手段とを有する記憶装置。

【請求項2】 制御信号検出手段が、書き込みイネーブル信号と書き込み制御信号の2つの信号を入力とするAND回路である請求項1記載の記憶装置。

【請求項3】 記憶手段の保護領域に、スクランブル信号を解くための鍵番号が記憶されている請求項1記載の記憶装置。

【請求項4】 記憶手段の保護領域のアドレスを出力するアドレス信号発生手段と書き込みイネーブル信号を発生する書き込みイネーブル信号発生手段及び制御手段とがマイクロプロセッサで構成され、制御信号検出手段の出力に応じて前記マイクロプロセッサがアドレス信号発生手段より出力されたアドレス信号に基づいて記憶手段の保護領域への書き込みを行う請求項1記載の記憶装置。

【請求項5】 マイクロプロセッサと、前記マイクロプロセッサから読み書き可能なメモリと、前記マイクロプロセッサより出力されるアドレス信号をデコードし前記メモリの領域の一部を示す書き込み保護用アドレスデコーダと、前記マイクロプロセッサより出力される前記メモリへの書き込みイネーブル信号と、前記書き込みイネーブル信号をマスクし前記メモリへの書き込みをイネーブルにするかディスエーブルにするか決定する書き込み制御信号とを備え、前記書き込み制御信号が書き込みをイネーブルにしたときのみ前記書き込み保護用アドレスデコーダの示す範囲の前記メモリへの書き込みが可能となり、それ以外の領域は常時書き込みが可能な記憶装置。

【請求項6】 メモリの全領域を示すメモリ選択用アドレスデコーダと、前記メモリ選択用アドレスデコーダのデコード値と異なる領域をデコードするメモリ選択保護用アドレスデコーダと、メモリ選択用アドレスデコーダおよびメモリ選択保護用アドレスデコーダの出力を選択するセクタとを備え、書き込み制御信号が書き込みイネーブルのとき前記セクタにより前記メモリ選択保護用アドレスデコーダが有効になることを特徴とした請求

項5記載の記憶装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマイクロプロセッサとメモリを用いた記憶装置に関し、更に詳しくは有料放送の受信機等において、機器番号やスクランブルを解くための鍵番号等、機器毎に異なる番号やデータを記憶するための記憶装置に関するものである。

【0002】

10 【従来の技術】近年、衛星放送、通信衛星などで有料放送が開始され、特定の条件を満たした受信機のみ受信（デスクランブル）できるスクランブル放送が普及してきた。

【0003】以下に、従来の有料放送受信機などに使用されている記憶装置について、図3を参照しながら説明する。

【0004】図3において、マイクロプロセッサ（以下、MPUと略す）1は、メモリ選択用アドレスデコーダ2、読み書き可能なメモリ3など周辺装置を制御するためのアドレスバス5、6、および書き込みイネーブル信号（以下、WE信号と略す）12a、読み出しイネーブル信号（以下、OE信号と略す）11aを出力し、メモリ3との間にデータバス4を有する。メモリ3は、メモリへのアクセスを可能にするチップセレクト信号（以下、CS信号と略す）13と、メモリ内の全領域を示すために必要なアドレス信号6、WE信号12b、OE信号11bを入力し、データバス4を有する。

20 【0005】メモリ選択用アドレスデコーダ2はMPU1が指定可能なアドレス領域のうちメモリ3の領域のみをデコードするようにデコードするもので、MPU1のアドレスバス5とメモリ3のCS信号13との間に接続されている。

【0006】以上のように構成された従来例の記憶装置の動作について、図3を参照しながら説明する。ここで説明を簡略化するため、メモリ3の容量は256アドレスとし、MPU1より出力されるアドレス信号を12本とするが、これに限定されるものではない。またアドレス信号をA11～A0で表し、上位4ビットを上位アドレスバス5、下位8ビットを下位アドレスバス6とし、

40 アドレス領域を16進数で表示する。  
【0007】MPU1より出力された下位アドレスバス6のA7～A0はメモリ3のアドレス信号入力に接続し、上位アドレスバス5のA11～A8はメモリ選択用アドレスデコーダ2に接続する。また、メモリ選択用アドレスデコーダ2の出力はメモリ3のCS信号入力13に接続し、更にMPU1のWE信号12a、OE信号11aは夫々メモリ3のWE信号入力12b、OE信号入力11bに接続する。

50 【0008】ここで、例えばメモリ3のアドレス領域を300から3FFまでとする。従ってメモリ選択用アド

レスデコーダ2はアドレス信号5のA11~A8が3のとき「有効」レベルとなるアドレスデコーダであり、MPU1より出力されるアドレスA11~A0が300~3FFのときメモリ3のCS信号入力13への入力は「有効」となり、この状態でOE信号出力11aが「有効」のときメモリ3よりデータが読み出され、またWE信号出力12aが「有効」のときメモリ3へ書き込まれる。

【0009】

【発明が解決しようとする課題】有料放送の受信機などの機器番号やスクランブルを解くための鍵番号など、機器毎に異なる番号やデータは一度記憶してしまえば書き換える必要のないものであり、書き換えられると正常な動作ができなくなる。

【0010】しかしながら、上記の従来例の構成では、書き込み時の誤操作や、MPUの暴走時またはノイズなどにより、必要なデータが書き変わる可能性が高いという問題点を有していた。

【0011】本発明は上記従来の問題点を解決するもので、書き換えられると正常な動作ができなくなるようなデータは、一定のプロセスを経ないと書き換えられないようにすることにより、必要なデータが書き換えられる可能性を少なくした記憶装置の提供を目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するための、本発明は読み出し書き込みが可能な記憶手段と、この記憶手段の記憶領域の一部を保護領域と指定する保護領域指定手段と、この保護領域指定手段により指定された前記記憶手段の保護領域のアドレスを出力するアドレス信号発生手段と、記憶手段への書き込みを指令する書き込みイネーブル信号を発生する書き込みイネーブル信号発生手段と、記憶手段の保護領域への書き込みを指令する書き込み制御信号を発生する制御信号発生手段と、書き込みイネーブル信号と書き込み制御信号のいずれもが存在することを検出する制御信号検出手段と、この制御信号検出手段の出力に応じて、前記アドレス信号発生手段より出力されたアドレス信号に基づいて前記記憶手段の保護領域への書き込みを制御する制御手段とを有する記憶装置である。

【0013】さらに、制御信号検出手段が、書き込みイネーブル信号と書き込み制御信号の2つの信号を入力とするAND回路である記憶装置である。

【0014】さらに、記憶手段の保護領域に、スクランブル信号を解くための鍵番号が記憶されている記憶装置である。

【0015】具体的には、上記目的を達成するために本発明の記憶装置は、基本の構成として記憶手段の保護領域のアドレスを出力するアドレス信号発生手段と書き込みイネーブル信号（WE信号）を発生する書き込みイネーブル信号発生手段及び制御手段とがMPUで構成され、

上記MPUから読み書き可能なメモリと、MPUより出力されるアドレス信号をデコードし上記メモリの領域の一部を示す書き込み保護用アドレスデコーダと、上記MPUより出力されるメモリへのWE信号と、上記WE信号をマスクするための書き込み制御信号とで構成され、上記書き込み制御信号が書き込みをイネーブルにした時のみ上記書き込み保護用アドレスデコーダの示す領域のみメモリへの書き込みが可能となり、それ以外の領域は常時書き込みが可能な構成となっている。

【0016】更に、追加の構成としてメモリの全領域を示すメモリ選択用アドレスデコーダと、上記メモリ選択用アドレスデコーダのデコード値と異なる領域をデコードするメモリ選択保護用アドレスデコーダと、上記メモリ選択用アドレスデコーダの出力またはメモリ選択保護用アドレスデコーダの出力を選択するセクタとを追加し、書き込み制御信号が書き込みイネーブルのとき上記セクタにより上記メモリ選択保護用アドレスデコーダが有効になるように構成する。

【0017】

【作用】この基本の構成によって、書き込み制御信号により書き込みをイネーブルにしない限り、書き込み保護用アドレスデコーダで示されるメモリの領域は書き込むことができない。

【0018】また、追加の構成としてメモリ選択保護用アドレスデコーダとセクタを有する場合は、書き込み制御信号を書き込みイネーブルにし、さらにメモリ選択保護用アドレスデコーダが示す領域に書き込まなければ、書き込み保護用アドレスデコーダで示される領域に書き込むことができない。

【0019】従って、書き込み保護用アドレスデコーダが示す領域に、書き変わると正常な動作ができないようなデータを記憶しておけば、そのデータが書き変わらないう保護することができる。

【0020】

【実施例】

（実施例1）以下、本発明の第1の実施例の記憶装置について、図面を参照しながら説明する。図1は本発明の第1の実施例の記憶装置のブロック図である。

【0021】図1において、MPU1、メモリ3へのCS信号13を発生するメモリ選択用アドレスデコーダ2、読み書き可能なメモリ3、データバス4、上位および下位アドレスバス5、6、WE信号12a、OE信号11aは図3の従来例と全く同様な構成であり、詳細な説明は省略する。

【0022】AND回路8は書き込み制御信号7とMPU1より出力されるWE信号12aとを入力し、WE信号12aを書き込み制御信号7でマスクする為に配置する。MPU1が書き込み保護用アドレスデコーダ10が示す領域にアクセスしたときセクタ9はAND回路8の出力を選択し、書き込み制御信号7でマスクされたW

E信号12aをメモリ3へのWE信号入力12bとし、それ以外の領域をアクセスする場合は、セクタ9はMPU1より出力されるWE信号出力12aを選択して、WE信号12aをそのままメモリ3へのWE信号入力12bとして供給するように構成する。

【0023】以上のように構成された第1の実施例の記憶装置について、以下その動作を説明する。

【0024】ここで、従来例と同様に、説明を簡略化するため、メモリ3のアドレス領域を300~3FFとし、また書き込み保護用アドレスデコーダ10の書き込み保護用デコード値をF0~FFとする（以下この領域を書き込み保護領域と呼ぶ）が、これに限定するものではない。MPU1より出力されるアドレスA11~A0が300~3FFのときメモリ3のCS信号13は「有効」となり、メモリ3への読み書きが可能となる。

【0025】またアドレスA11~A0が3F0~3FFの領域へ書き込む場合、書き込み保護用アドレスデコーダ10は「有効」レベルとなり、AND回路8の出力をセクタ9を介してWE信号12bとしてメモリ3へ供給する。このとき書き込み制御信号7が「有効」レベルであればMPU1より出力されるWE信号12aはAND回路8によりマスクされず、メモリ3への書き込みは可能（イネーブル）となる。書き込み制御信号7が「無効」レベルの時はWE信号出力12aはAND回路8によりマスクされ、メモリ3へ供給されるWE信号12bはアクティブにならないため、メモリ3への書き込みは不可能（ディスエーブル）となる。

【0026】また、読み出しは、メモリ3に与えられるCS信号が「有効」レベルであり、且つOE信号が「有効」であれば可能であり、アドレスA11~A0が300~3FFの領域は全て読み出し可能となっている。

【0027】（実施例2）以下、本発明の第2の実施例の記憶装置について、図2を用いて説明する。図2は本発明の第2の実施例の記憶装置のブロック図である。

【0028】図2において、MPU1、メモリ選択用アドレスデコーダ2、メモリ3、書き込み保護用アドレスデコーダ10、AND回路8、セクタ9は第1の実施例の図1と同様の構成であり、説明を省略する。図1の構成と異なるのは、入力をアドレスバス5に接続したメモリ選択保護用アドレスデコーダ14と、このメモリ選択保護用アドレスデコーダ14の出力を一方の入力とし、書き込み保護用アドレスデコーダ10の出力を他方の入力としたAND回路16と、メモリ選択用アドレスデコーダ2の出力とAND回路16の出力とを入力として書き込み制御信号7により制御されるセクタ15を設け、メモリ選択保護用アドレスデコーダ14の出力と書き込み保護用アドレスデコーダ10の出力とをAND回路16でANDをとった信号と、メモリ選択用アドレスデコーダ2の出力とのいずれかを書き込み制御信号7により選択してメモリ3のCS信号13とした構成を付

加したことである。

【0029】上記のように構成された第2の実施例の記憶装置の、特に第1の実施例と異なる構成を中心に、以下その動作を説明する。

【0030】ここで、第1の実施例と同様、説明を簡略化するため、メモリ選択用アドレスデコーダ2のデコード値を3、書き込み保護用アドレスデコーダ10の書き込み保護用デコード値をF0~FF、さらにメモリ選択保護用アドレスデコーダ14のデコード値をFとするが、これに限定されるものではない。

【0031】書き込み制御信号7が「無効」のとき、セクタ15はメモリ選択用アドレスデコーダ2の出力を選択してメモリ3のCS信号13として供給するように切り換えられるため、実施例2は図1と同じ動作を行う。即ち、メモリ選択用アドレスデコーダ2はアドレスバス5からの入力が3のときは「有効」となる信号をCS入力に与えてメモリ3を選択するのでアドレスA11~A0が300~3EFのときは読み書き可能である。しかし書き込み保護領域である3F0~3FFにおいては書き込み保護用アドレスデコーダ10がセクタ9の入力としてAND回路8の出力を選択するので、書き込み制御信号7の「無効」によりMPU1のWE信号12aがマスクされてメモリ3へのWE信号12bとして与えられるため、読み出しのみ可能となる。

【0032】書き込み制御信号7が「有効」のときは、セクタ15はメモリ選択保護用アドレスデコーダ14の出力と、書き込み保護領域を示す書き込み保護用アドレスデコーダ10の出力の論理積を取るAND回路16の出力を選択するように切り換えられているため、メモリ選択保護用アドレスデコーダ14に与えられる値がFすなわちアドレスA11~A0がFF0~FFFのときのみメモリ3へのCS信号13は「有効」となる。このときセクタ9は第1の実施例と同様にWE信号12aをマスクするためのAND回路8の出力を選択するが、書き込み制御信号7が「有効」のため、WE信号12aはマスクされず、メモリ3への書き込みは可能となる。

【0033】即ち第2の実施例では、書き込み保護領域に書き込む場合、まず書き込み制御端子7を「有効」レベルにし、かつ上位アドレスバス5の上位アドレスA11~A8をメモリ選択用アドレスデコーダのデコード値と異なる領域の値Fにして書き込みまなければならない。

【0034】そして、書き込み保護領域3F0~3FFに必要なデータを書き込んだ後は、書き込み制御端子7を「無効」レベルに保持する事により、アドレスA11~A0が300~3EFの時は読み書き可能で、書き込み保護領域である3F0~3FFは読み出しのみ可能となる。

【0035】上記各実施例においてメモリの領域、アドレスバスの本数、各デコーダのデコード値等の数値はす

べて一例であり、この値に限定されるものではない。

【0036】

【発明の効果】以上説明したように本発明の記憶装置は、MPUと、読み書き可能なメモリと、メモリのCS信号を発生するメモリ選択用アドレスデコーダと、書き込み制御信号と、MPUより出力されるWE信号を書き込み制御信号でマスクするAND回路と、書き込み保護領域を示す書き込み保護用アドレスデコーダと、書き込み保護領域では書き込み制御信号によりマスクされたWE信号をメモリへのWE信号とするセクタとで構成され、書き込み制御信号がメモリへの書き込みを許可にした場合のみ書き込み保護領域への書き込みが可能となる。

【0037】さらにメモリ選択保護用アドレスデコーダの出力と書き込み保護用アドレスデコーダの出力との論理積を求めるAND回路と、このAND回路の出力とメモリのCS信号を発生するメモリ選択用アドレスデコーダの出力とを書き込み制御信号により選択するセクタを設けることにより、書き込み保護領域への書き込みアドレスを移動することができる。

【0038】したがって、書換えられると正常な動作ができなくなるようなデータを、書き込み保護領域に記憶することにより、誤操作やノイズ等により書き換えられる可能性を少なくすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の記憶装置のブロック図

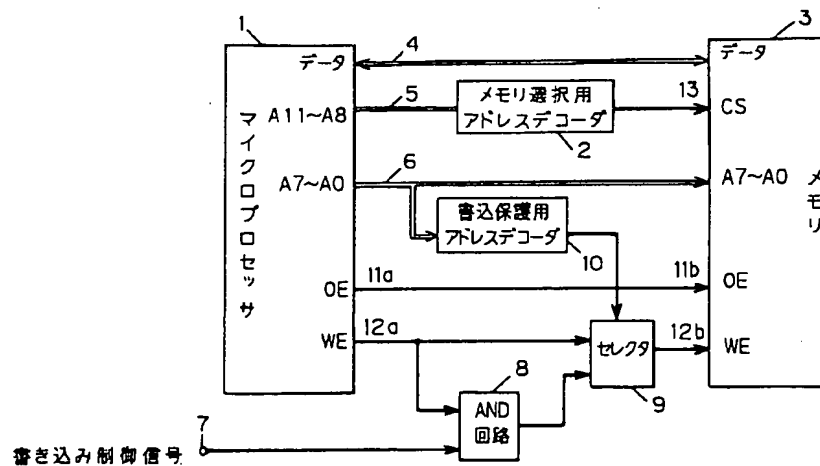
【図2】本発明の第2の実施例の記憶装置のブロック図

【図3】従来例の記憶装置のブロック図

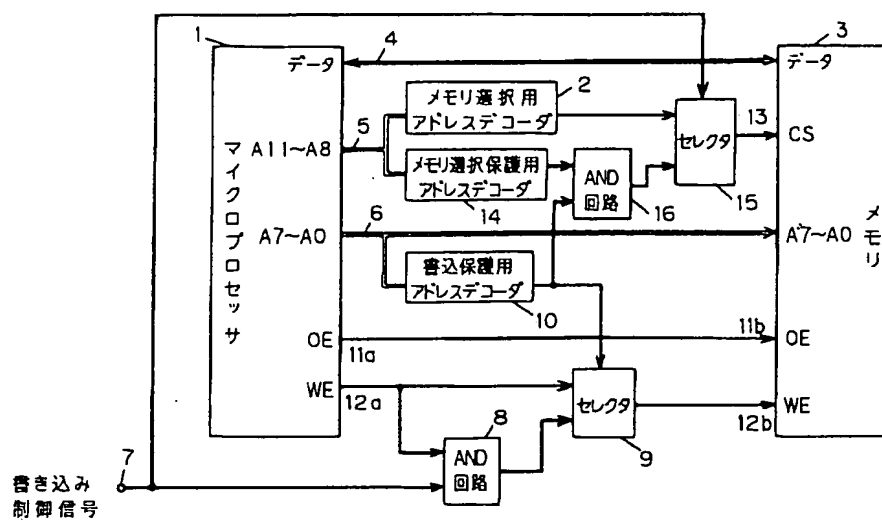
【符号の説明】

- 1 MPU
- 2 メモリ選択用アドレスデコーダ
- 3 メモリ
- 4 データバス
- 5 上位アドレスバス
- 6 下位アドレスバス
- 7 書き込み制御信号
- 8 AND回路
- 9 セクタ
- 10 書き込み保護用アドレスデコーダ
- 11a MPUのOE信号
- 11b メモリのOE信号
- 12a MPUのWE信号
- 12b メモリのWE信号
- 13 メモリのCS信号
- 14 メモリ選択保護用アドレスデコーダ
- 15 セクタ
- 16 AND回路

【図1】



【図2】



【図3】

